

AGC CIRCUIT

Patent Number: JP62269428
Publication date: 1987-11-21
Inventor(s): ASAHI IWAO
Applicant(s): OHKURA ELECTRIC CO LTD
Requested Patent: ☐ JP62269428
Application Number: JP19860112558 19860519
Priority Number(s):
IPC Classification: H04B3/06; H03G3/20
EC Classification:
Equivalents: JP1647231C, JP3011136B

Abstract

PURPOSE: To attain high speed response at the start of reception, stable response at normal reception and quick reply at the time of hitting by providing a sub integrator connected to an output of an absolute circuit, a controller connected to an output of a main integration device and the sub integration device and a changeover switch switching the comparator.

CONSTITUTION: An output of the absolute circuit 4 is fed to the sub integration device 11, the output of the main integration device 5 and the sub integration device 11 is supplied to the controller 17. A normally open switch 10 is inserted preferably between the absolute circuit 4 and the sub integration device 11. An initial output V0 of a prescribed value generated from the controller 17 and an output of the main integration device 4 are supplied selectively to the comparator 18 by a changeover switch 16. When the controller 17 detects that the output (m) of the device 5 exceeds the initial output V0 of the controller or over, the switch 16 is changed over to apply the output (m) of the main the integration device 4 to the comparator 18 and the time constant of the main integration device 5 is increased sequentially. Thus, the response at the reception start is fast and the reply at normal reception is stable and the reply at the time of hitting is quickened.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭62-269428

⑮ Int. Cl.⁴H 04 B 3/06
H 03 G 3/20

識別記号

庁内整理番号

B-8529-5K
A-7210-5J

⑬ 公開 昭和62年(1987)11月21日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 AGC回路

⑯ 特 願 昭61-112558

⑰ 出 願 昭61(1986)5月19日

⑱ 発 明 者 朝 日 岩 雄 東京都杉並区成田西3丁目20番8号 大倉電気株式会社内
⑲ 出 願 人 大倉電気株式会社 東京都杉並区成田西3丁目20番8号
⑳ 代 理 人 弁理士 市東 禮次郎

明 細 書

1. 発明の名称

AGC回路

2. 特許請求の範囲

(1) 信号増幅器出力に接続された絶対値回路の出力を時定数可変の主積分器に加え、比較器により抽出された該主積分器出力と基準電圧との差を前記信号増幅器に印加して該増幅器の利得を制御するAGC回路において、前記絶対値回路出力に接続された短時定数の副積分器、前記主積分器及び前記副積分器の出力に接続された制御器、並びに前記制御器が発生する一定値の初期出力と前記主積分器出力を選択的に前記比較器へ印加する切換スイッチを備え、AGC回路入力がないときは前記切換スイッチを介して前記制御器の初期出力を前記比較器へ印加し、前記制御器が前記主積分器出力の前記制御器初期出力以上への増大を検出したときに前記副積分器レジスタの内容を前記主積分器レジスタの内容と置換し且つ前記スイッチを切換えて主積分器出力を前記比較器へ印加した

後前記主積分器の時定数を順次増大させ、前記副積分器出力と前記主積分器出力との差の一定値以上への増大を検出したときに当該差に相当する分だけ前記主積分器内レジスタの内容を変化させてなるAGC回路。

(2) 特許請求の範囲第1項記載のAGC回路において、前記副積分器と前記絶対値回路との接続に常時開路の開閉スイッチを挿入し、前記副積分器レジスタの内容を前記主積分器レジスタの内容と置換するときに前記開閉スイッチを閉成してなるAGC回路。

(3) 特許請求の範囲第1項記載のAGC回路において、前記主積分器出力の前記比較器への印加時に前記制御器が許容検出信号を出力してなるAGC回路。

(4) 特許請求の範囲第1項記載のAGC回路において、前記主積分器の出力が一定値以下に低下した時に前記制御器がレベル断信号を出力してなるAGC回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、高速データ伝送に適するA G C回路に関し、特に時定数が自動的に変更されるA G C回路に関する。

従来の技術

高速データ伝送では、データ受信の前に受信器が送信器から所定のトレーニング信号を受信し受信器内で回線等化等の初期設定を行なう。受信器入力点の信号レベルは、伝送回線の経路・品質・状態等により大幅に異なり且つ変動するので、確実な初期設定及び良好な受信のためにはA G C回路を設けて信号レベルを一定にする必要がある。

しかし、トレーニング信号の長さは一定であるからA G C回路はできるだけ速く安定状態にはいり初期設定を終えなければならない。第1図を参照するに、A G C回路は一般に信号増幅器2の出力の絶対値を主積分器5により積分し、積分器出力と基準値 V_0 との差 V により信号増幅器2を制御する。このため、A G C回路の高速安定には、積分器5の速い応答が必要とされる。積分器の応答

は、第2図のステップ応答に示される様に、時定数が短い程速いことが知られている。従って、A G C回路の早期安定化の面からは積分器の時定数の短いことが要求される。

他方、一旦安定状態に入った後は入力信号に対して無用な波形歪を発生させないため、入力信号の変調波によるレベル変動に対しA G C回路の増幅率を変化させないことが望ましい。定常時のレベル変動に対するA G C回路の増幅率の変化を抑制するには、A G C回路積分器の時定数の長いことが望ましいことは、第2図のステップ応答からも予想される。また、受信開始時の速い応答から定常受信時の速い応答への切替えも段階的に順次行うことが望ましく、急速に切替えたのでは不安定となる恐れがある。

要するに、A G C回路積分器の時定数には二律背反的な要求がある。即ち、迅速な初期設定のために短くあるべしとする要求と定常時安定のために長くあるべしとする要求である。

更に、信号伝送中に回線で不可避免的に偶発する

3

信号レベルの瞬断に対しては、その影響を抑えるため速い応答が要求され、この面からはA G C回路積分器の時定数の短いことが望ましい。

上記の二律背反的要求を解決するため、特公昭54-28858号公報は、A G C回路に積分器の時定数を変化させる手段を設け、別途設ける搬送波信号の断を検出する手段により、搬送波の断の時にのみ積分器の時定数を短くする技術を開示した。しかしこの公報の技術には、断を検出する手段が別途必要となり装置が複雑となること、短い時定数から長い時定数への安定的遷移方法が示されていないので実用に適しないこと等の問題がある。

発明が解決しようとする問題点

従って、本発明が解決しようとする問題点は、受信開始時の応答が速く、定常受信時の応答が安定であり、瞬断時の応答が速く、しかも速い応答から速い応答へ安定的に遷移するA G C回路を提供するにある。

問題点を解決するための手段

第1図を参照するに、本発明に使われるA G C

4

回路においては、信号増幅器2の出力を絶対値回路4に加えたのち時定数可変の主積分器5に印加し、比較器18により抽出された主積分器5の出力と基準電圧 V_0 との差 V を前記信号増幅器2に印加することによりその利得を制御する。本発明によれば、前記絶対値回路4の出力を副積分器11に接続し、前記主積分器5及び前記副積分器11の出力を制御器17に接続する。好ましくは、絶対値回路4と副積分器11との間に常時開路の開閉スイッチ10を挿入する。前記制御器17が発生する一定値の初期出力 V_0 と前記主積分器4の出力を切換スイッチ18により選択的に前記比較器18へ印加する。

A G C回路入力がないときは前記切換スイッチ18を介して前記制御器17の初期出力 V_0 を前記比較器18へ印加する。前記主積分器5の出力 m が前記制御器17が検出したときに、前記スイッチ18を切換えて主積分器4の出力 m を前記比較器18へ印加した後前記主積分器5の時定数を順次増大させる。また、前記副積分器11の出力 n と前記主積分器5の

5

6

出力 m との差が一定値 X 以上に増大したことを前記制御器17が検出したときに、前記差を X だけ補正する様に前記主積分器5内レジスタ8の内容を変化させる。

作用

まず一定時間無信号の後、入力端子にA G C制御範囲内のレベルの信号が入力した場合の動作を説明する。

第1図及び第3図を参照するに、主積分器5は異なる時定数 $T1$ 、 $T2$ 、 $T3$ 、 $T4$ をとり得るものとしその値は前記順序で長くなり $T1$ が最も短いものとする。信号増幅器2の入力端子1において一定時間無信号状態があると、主積分器5の時定数は以下に説明する様に最短の値 $T1$ をとる。入力端子1が無信号であるとき、即ち入力信号 IN が有意レベル以下であるときは、切換スイッチ18が制御器17側にあつて制御器端子 $c1$ からの初期出力 v_0 を比較器18に印加し、開閉スイッチ10がOFF位置にあり副積分器11は絶対値回路4から切離されている。

上記初期出力 v_0 は、入力端子1における入力信

号 IN が有意レベルに達したときに、制御器17の端子 $c2$ に加えられる主積分器5の出力 m が v_0 より大きくなる様に選ばれる。時刻 $t1$ に有意信号が入力すると、主積分器5はその時定数が最も短い $T1$ であるから素早く応答し、その出力 m が制御器初期出力 v_0 以上に達する。このとき制御器17は、主積分器5内レジスタ8の内容を副積分器11内レジスタ14へ転送し且つ主積分器の時定数を $T2$ に切換えと共に切換スイッチ10を主積分器5側に切換えさらに開閉スイッチ10を閉成する。

図示例においては、主積分器5と副積分器11との積分開始時点の同期を確保し、上記主積分器5の出力 m と副積分器11の出力 n とが同一時間内の入力に対する積分値となる様にするため、開閉スイッチ10を用いているが、回路を簡単にするためにはこの開閉スイッチ10を省略してもよい。

制御器17は、主積分器出力 m がほぼ安定するに要する一定時間後に主積分器5の時定数を $T3$ に切換え、その後さらに上記出力 m の安定に要する一定時間後にその時定数を $T4$ に切換える。第3図の

7

8

例では、主積分器5の時定数が $T4$ となった時点でA G C回路は定常動作に入り、自動利得制御の増幅を受けた出力信号 OUT が出力端子3に加えられる。同図の比較器出力カーブ V に示される様に、主積分器5の時定数を $T1$ から $T4$ へ順次長いものに切換えることにより、同図の破線で示される積分器時定数一定で切換なしの場合に比し、A G Cの出力レベルは著しく速やかに安定する。

なお制御器17は、上記切換スイッチ18の切換えと同時に差信号検出の信号を情報として出力することもできる。

次に急激なA G C回路入力信号の上昇、下降、又はレベル断の場合の動作を説明する。

定常状態ではA G C出力信号に無用な波形歪を生じさせないため、主積分器5に長い時定数 $T4$ を割当て、変調波によるレベル変動に対しては信号増幅器2の制御信号 V が動くことのない様にしている。しかし、このままでは上記の信号レベル急変に対する応答が遅くなる。

信号レベル急変にも迅速に対応するため、本発

明によれば、短い時定数例えば $T2$ が割当てられた上記副積分器11を主積分器5と並列に絶対値回路4に接続し、副積分器11の出力 n を制御器17の端子 $c3$ に印加する。第4図を参照するに、レベル断等により端子 $c3$ における副積分器11の出力 n が端子 $c2$ における主積分器出力 m に比し一定値、例えば X dB以上相違した時には、制御器17が信号増幅器2の出力をして X dBだけ変化させる様に主積分器5の遅延素子、即ち図示例のレジスタ8の内容に変更を加える。

第5図に示される様に、信号増幅器2が増幅特性の直線部分で動作している場合には、その利得の変化分 ΔM に対応する制御信号 V の変化分 ΔV は信号レベルとは無関係に一定であるから、上記 X dBの変化を信号レベルとは無関係に主積分器5の遅延素子の操作により実現できる。

以上の動作により、本発明のA G C回路は、信号レベルの急変に当たっても迅速に対応することができる。

制御器17は、端子 $c2$ における主積分器出力 m が

9

10

レベル断相当値として予め設定した値例えば上記初期出力 v_0 以下になったときに、主積分回路5の時定数を11とすると共に開閉スイッチ10及び切換スイッチ18を無信号時の状態に切換える。

こうして、本発明によるAGC回路は、信号レベル急変時にも第4図に点線で示される時定数切換えのない場合に比し、信号レベル回復時に迅速に応答することができる。

なお制御器17は、上記切換スイッチ18及び開閉スイッチ10の無信号時への切換えと同時にレベル断検出の信号を情報として出力することもできる。

実施例

第1図に示される本発明の実施例は、主積分器5として増幅器6、7、レジスタ8、及び加算器9からなる構成を用い、副積分器11として増幅器12、13、レジスタ14、及び加算器15からなる構成を用いるが、これらの積分器回路の構成は公知技術に属する。

図示実施例では開閉スイッチ10を使用している

が、このスイッチがなくとも主積分器5の出力 m と副積分器11の出力 n とが同一時間内の入力に対する積分値を与えることを確保できる場合には、上記の様に開閉スイッチ10を省略して回路構成を簡単にしてもよい。

さらに、以上の説明ではディジタル信号を受信するものとしたが、アナログ増幅回路においても適当なアナログーディジタル変換器を組込むことにより、本発明のAGC回路を使用することができる。

発明の効果

以上詳細に説明した如く、本発明によるAGC回路は、時定数を自動的に切換えるので、次の効果を奏する。

(イ) 受信開始時の高速応答、定常受信時の安定した応答、断断時の迅速な応答、及び速い応答から遅い応答へ安定的な遷移が同時に達成される。

(ロ) AGC回路において着信検出をすることができる。

11

12

(ハ) AGC回路において信号レベル断の検出をすることができる。

4. 図面の簡単な説明

第1図は本発明によるAGC回路の説明図、第2図はステップ応答の説明図、第3図及び第4図は動作説明図、第5図は増幅器動作特性の説明図である。

1…入力端子、 2…信号増幅器、 3…出力端子、 4…絶対値回路、 5…主積分器、 6,7,12,13…増幅器、 8,14…レジスタ、 9,15…加算器、 10…開閉スイッチ、 11…副積分器、 16…切換スイッチ、 17…制御器、 18…比較器。

特許出願人 大会電気株式会社
特許出願代理人 弁理士 市東禮次郎

13

整理番号 FTN97-0262 発送番号 100115

発送日 平成15年 4月 1日 1 / 3

拒絶理由通知書 Mailed on April 1, 2003

Notification of Reason for Refusal

Japanese Patent Application No. 11-117286

特許出願の番号

平成10年 特許願 第117286号

起案日

平成15年 3月20日

特許庁審査官

畑中 博幸

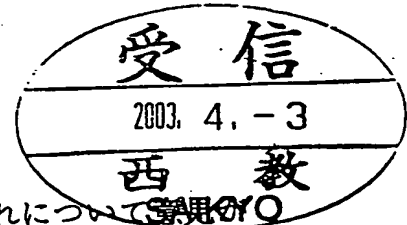
9180 5W00

特許出願人代理人

西教 圭一郎 様

適用条文

第29条第2項、第36条



この出願は、次の理由によって拒絶をすべきものである。これについて意見書を提出して下さい。
あれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

(1) この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許文献に記載された発明に基づいて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

(2) この出願は、発明の詳細な説明の記載が下記の点で、特許法第36条第4項に規定する要件を満たしていない。

記 (引用文献等については引用文献等一覧参照)

理由(1)について

- ・請求項 1～3
- ・引用文献等 1
- ・備考

上記引用文献1(公報第3頁右下欄第1～10行目参照)には、2つ設けられた積分回路の出力のうち、最も小さいレベルを有する出力を選択することと同様な技術思想が記載されている。

理由(2)について

1、明細書【0007】に「本発明は、入力信号が共通にそれぞれ与えられ、立下り時定数が相互に異なる複数の積分回路と、各積分回路の出力のうち、最も小さいレベルを有する出力を選択して導出する選択出力手段とを含むことを特徴とする積分装置である。」と記載されているが、この明細書に記載された実施例には、マイクロホンからの騒音レベルに対応した出力を積分回路に与え、この積分回路の出力によって音響信号の減衰量を制御する音響装置において、入力信号が

共通にそれぞれ与えられ、立下り時定数が相互に異なる複数の積分回路の出力のうち、最も小さいレベルを有する出力を選択して導出することのみ示されており、この「マイクロホンからの騒音レベルに対応した出力を積分回路に与え、この積分回路の出力によって音響信号の減衰量を制御する音響装置」以外のものを含む上記明細書【0007】の括弧書きの記載は、発明の詳細な説明に記載されたものとは認められない。

明細書【0027】には「本発明の積分装置は、車載用音響装置に関連して実施されるだけでなく、その他たとえば水などの流体の流量を検出するためなどに広範囲に実施されることができる。」と記載されているが、本発明の積分装置を音響装置以外のものに実施する例が、当該技術分野における通常の知識を有する者が実施をすることができる程度に明確かつ十分に記載されているものとは認められない。

(なお、明細書【0007】を補正する際は、当該箇所を引用した、請求項1～3についても注意されたい。)

よって、この出願の発明の詳細な説明は、当業者が請求項1～3に係る発明を実施することができる程度に明確かつ十分に記載されていない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開昭62-269428号公報

先行技術文献調査結果の記録

・調査した分野 H03G3/20

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

【この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

発送番号 100115

3 / 3

特許審査第四部伝送システム 畑中博幸 TEL. 03-3581-1101 内線3575]